

文章编号:1007-2780(2010)02-0262-06

# ARM+FPGA 控制的 LED 脱机屏系统设计

尹柱霞<sup>1,2</sup>, 郑喜凤<sup>1</sup>, 于洪涛<sup>1,2</sup>

(1. 中国科学院 长春光学精密机械与物理研究所, 吉林 长春 130033, E-mail: yinzhuxia316@163. com;  
2. 中国科学院 研究生院, 北京 100039)

**摘 要:** 采用基于 ARM 核的新一代 32 位嵌入式 RISC 微处理器 S3C2410 和 FPGA 组成控制中心, 与上位机通过以太网进行通信。该系统可支持 256 灰度级全彩 LED 屏的文字、图片和动画显示, 同时可以根据需要存储更多的显示内容, 并能较快地传输图片数据。ARM 控制数据的下载、存储和发送, FPGA 实现数据的接受、缓存和扫描显示。ARM 和 FPGA 之间数据通信采用了 ARM 内置的 LCD 接口, 实现了数据的并行传输, 使传输速率达到客观的效果, 且最大可显示 1 024×1 024 分辨率大小的图片。目前系统可显示 256×256 分辨率大小的图像, 为了提高系统灵活性, 提高应用性, 在 FPGA 部分图片被分成了 128×64 大小的 8 个图像小块, 可通过外部跳针选择, 整个系统具有较强稳定性和通用性。

**关 键 词:** LED 脱机屏; ARM; S3C2410; FPGA; LCD 接口

**中图分类号:** TP331. 1<sup>+</sup>1 **文献标识码:** A

## Design of LED Off-Line Screen System Based on ARM+FPGA Control

YIN Zhu-xia<sup>1,2</sup>, ZHENG Xi-feng<sup>1</sup>, YU Hong-tao<sup>1,2</sup>

(1. Changchun Institute of Optics, Fine Mechanics and Physics, Chinese Academy of Sciences,  
Changchun 130033, China, E-mail: yinzhuxia316@163. com;  
2. Graduated School of Chinese Academy of Sciences, Beijing 100039, China)

**Abstract:** The next-generation 32-bit embedded RISC microprocessor S3C2410 based on ARM core and FPGA component were applied to the control center, communicating with the host computer via Ethernet. The system supports 256 full-color LED gray-scale screen of text, images, and animation, at the same time can storage more display content and have fast transmission of image data rate. ARM controls data's download, storage and delivery, and FPGA to achieve the acceptance of data, cache and scan. ARM communicates with FPGA using the ARM's built-in LCD interface, a parallel data transmission, achieving the objective transmission rate, and the largest display size up to 1 024×1 024 resolution of the picture. At present, the system can display the 256×256 resolution image, in order to improve system flexibility and applicability, the picture is divided into the size of 128×64 image block, which can be selected through an external jump pin, the entire system has strong stability and versatility.

**Key words:** LED off-line screen; ARM; S3C2410; FPGA; LCD interface

# 1 引言

随着信息化社会的到来和信息技术的进步,显示技术也得到了迅速发展。由于半导体的制作和加工工艺逐步成熟和完善,LED 显示已日趋在固体显示器中占据主导地位。LED 脱机屏是指 LED 显示屏控制系统信息显示时,不经过计算机进行数据的整合和格式的转换,显示部分直接从显示缓冲区中读取已存放好的信息,当需要更新时,数据采集部分再向显示部分发送新数据。LED 脱机屏一般应用于对实时性没有要求的场合,如广告、交通等<sup>[1,2]</sup>。

本着降低成本和开发容易的原则,本文设计了以 ARM(S3C2410)和 FPGA 为控制中心的脱机显示系统<sup>[3]</sup>。整个硬件系统围绕 ARM9 S3C2410 的核心板和 Altera 公司的 FPGA (EP1C6240C8)为主控制中心,目标底板静态采用内存(CY7C1021)为存储工具,利用以太网传输图片数据到 ARM 核心板。

在大多数的脱机屏设计过程中,ARM 与 FPGA 之间的数据通信采用 SPI 模式,由于采用的是串行传输,导致传输图片的速率和大小受限,不利于系统的升级。本文使用 ARM 内嵌的 LCD 控制器,它是 ARM 外接 LCD 屏时用到的一个控制器。本系统灵活利用控制器的并行接口,把图片数据并行传输至 FPGA,提高了数据传输的速率,增大了系统可控的图片大小。系统可以存储 256×256 大小的 BMP 图片,最终实现 128×64 大小的图片和动画显示,帧频控制在 50 Hz。

# 2 系统硬件架构

所设计的 LED 脱机屏显示系统主要由 3 大模块构成:CPU 控制模块、显示控制模块和 LED 显示屏。控制中心采用的是 ARM+FPGA 的硬件架构,利用 ARM 实现图片数据的下载、存储以及系统的运行控制,作为系统的 CPU;FPGA 用来实现数据的相应转换和显示的扫描控制。图 1 展示了整个脱机屏系统的硬件设计方案。

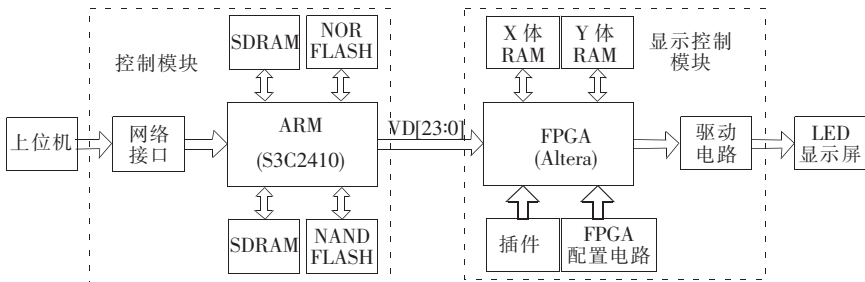


图 1 硬件系统

Fig. 1 Hardware system

# 3 LCD 控制器的使用

## 3.1 原理简介

S3C2410 中的 LCD 控制器由传送逻辑构成,这种逻辑是把位于系统内存显示缓冲区中 LCD 视频数据传到外部的 LCD 驱动器。LCD 控制器支持单色,使用基于时间的抖动算法和帧频控制的方法,可以支持 2 位/像素或 4 位/像素的单色 LCD 显示屏,也支持彩色 LCD 接口,可以是 8 位/像素和 12 位/像素的 STN LCD。支持 1 位/像素、2 位/像素、4 位/像素和 8 位/像素带有调色板的 TFT 彩色 LCD 和 16 位/像素与 24 位/像素的无调色板真彩色显示。根据屏幕的水平与垂直像素数、数据界面的数据宽度、界面时间和自刷新速

率,LCD 控制器可以编程以支持各种不同要求的显示屏<sup>[4,5]</sup>。LCD 控制器的原理图如图 2 所示。

VFRAME/VSYNC/STV: 帧同步信号 (STN)/垂直同步信号 (TFT)/SEC TFT 信号;  
VLIN/HSYNC/CPV: 行同步脉冲信号

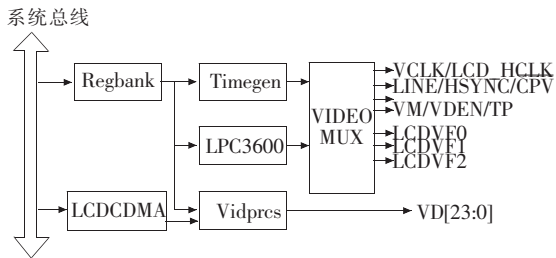


图 2 LCD 控制器原理框图

Fig. 2 Block diagram of LCD controller

(STN)/水平同步信号(TFT)/ SEC TFT 信号;  
VCLK/LCD\_HCLK:像素时钟信号(STN/  
TFT)/SEC TFT 信号;  
VD[23:0]:LCD 像素数据输出端口(STN/  
TFT/SEC TFT);  
VM/VDEN/TP: LCD 驱动器交流信号  
(STN)/数据使能信号(TFT)/SEC TFT 信号;  
LEND/STH:行结束信号(TFT)/SEC TFT  
信号。

S3C2410 的中 LCD 控制器能够传送图像数  
据和产生需要的控制信号。LCD 控制器由  
REGBANK、LCDCDMA、VIDPRCS、TIMEGEN  
以及 LPC3600(如图 1 所示)组成。REGBANK  
有 17 个可编程寄存器组和用来配置 LCD 控制  
器的 256×16 的调色板存储器;LCDCDMA 是  
一个专用 DMA,自动传送数据到 LCD 驱动器,  
利用这个专用的 DMA,视频数据可以在没有  
CPU 的参与下自动显示;VIDPRCS 从 LCDCD-  
MA 接收视频数据,然后将其转换成适合的数据  
格式通过数据端口 VD[23:0]发送到 LCD 驱  
动器上。

3.2 TFT 型 LCD 控制器操作

LCD 控制器可控制 STN 和 TFT 型的 LCD

显示屏,针对所设计的系统,本文选择使用 24 位/  
像素的无调色板真彩色 TFT 型显示。TFT 型  
LCD 控制器相关介绍如下:

帧同步(VSYNC)和行同步(HSYNC)脉冲的  
产生取决于寄存器 LCDCON2/3 中 HOZVAL 与  
LINEVAL 的配置值。HOZVAL 与 LINEVAL 的  
值与实际 LCD 屏和尺寸有关,公式如下:

HOZVAL=(水平显示尺寸)-1 (1)

LINEVAL=(垂直显示尺寸)-1 (2)

VCLK(像素时钟)的速率取决于寄存器  
LCDCON1 中 CLKVAL 的值。CLKVAL 的最  
小值为 0。HCLK 可以设置为 FCLK(200 MHz)  
或 FCLK/2,即通过设置相应寄存器 CLKDIVN  
中的对应位 HDIVN 即可,其中 HDIVN 为 0 时  
对应 FCLK,为 1 时对应 FCLK/2。

VCLK(Hz)=HCLK/[(CLKVAL+1)×2] (3)

帧频即为 VSYNC 信号的频率。帧频与控制  
寄存器 LCDCON1 及 LCDCON2/3/4 中的  
VSYNC、VBPd、VFPD、LINEVAL、HSYNC、  
HBPD、HFPD、HOZVAL 和 CLKVAL 有关联。  
大多数 LCD 驱动器有它们适合的帧频。帧频可  
由公式(4)得出:

Frame Rate = 1/{[(VSPW+1)+(VBPd+1)+(LIINEVAL+1)+(VFPD+1)]×  
[(HSPW+1)+(HBPD+1)+(HFPD+1)+(HOZVAL+1)]×  
[2×(CLKVAL+1)/(HCLK)]} (4)

图 3 是 TFT 型 LCD 控制器的时序图<sup>[6,7]</sup>,图  
中很清晰地指出了各参数的实际意义以及对输出  
的控制信号的具体影响,可根据需要按照此图设

置上述参数,达到预期的效果。

本系统采用的是 TFT 型 24 位/像素。当  
BPP24BL=0 时,VD[31:24]=RED[7:0],VD  
[23:16]=GREEN[7:0],VD[15:8]=BLUE[7:0],  
VD[7:0]=0;若 BPP24BL=1,VD[31:24]=0,  
VD[23:16]= RED[7:0],VD[15:8]=GREEN  
[7:0],VD[7:0]= BLUE[7:0]。BPP24BL 的  
设置在 LCDCON5 [12]。

3.3 LCD 控制器主要寄存器设置

LCD 控制器的使用主要依靠其寄存器各个  
参数的设置,包括同步控制信息、数据信息帧频以  
及缓存区地址等信息,所以寄存器各比特的意义  
必须熟知,具体的设置需参看 S3C2410 的数据手  
册。LCD 控制器的主要寄存器为 LCDCON1~  
LCDCON5 和地址寄存器 LCDSADDR1~  
LCDSADDR3,主要设置和相关说明如下:

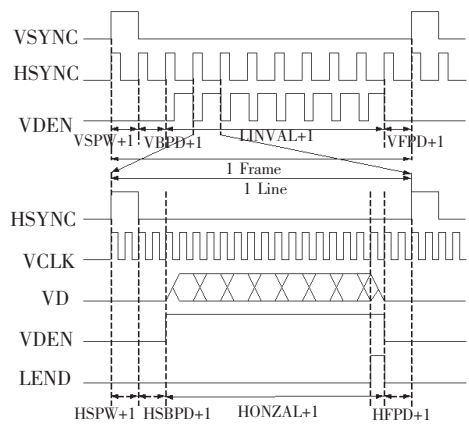


图 3 LCD 接口输出时序图

Fig. 3 Timing Diagram of LCD Output Interface

```
#define VBPD_256256      (0)           //垂直同步信号的前肩
#define VFPD_256256      (8)           //垂直同步信号的后肩
#define VSPW_256256      (0)           //垂直同步信号的脉宽
#define HBPD_256256      (0)           //水平同步信号的前肩
#define HFPD_256256      (7)           //水平同步信号的后肩
#define HSPW_256256      (0)           //水平同步信号的脉宽
#define CLKVAL_TFT_256256 (13)         //与 VCLK 有关的参数
#define LCDFRAMEBUFFER 0x33B60000      //缓存区必须是一段 NONCACHE 区域
rLCDCON1=(CLKVAL_TFT_256256<<8)|(MVAL_USED<<7)|(3<<5)|(13<<1)|0;
rLCDCON2=(VBPD_256256<<24)|(LINEVAL_TFT_256256<<14)|(VFPD_256256<<6)|
(VSPW_256256);
rLCDCON3=(HBPD_256256<<19)|(HOZVAL_TFT_256256<<8)|(HFPD_256256);
rLCDCON4=(MVAL<<8)|(HSPW_256256);
rLCDCON5=(0<<12)|(1<<9)|(1<<8)|(0<<6)|(1<<2)|(0);
rLCDSADDR1 = ((( U32 ) framebuffer24BitTft256256 >> 22 ) << 21 ) | M5D (( U32 ) frame-
Buffer24BitTft256256>>1);
rLCDSADDR2=M5D( (( U32)frameBuffer24BitTft256256 + (SCR_XSIZE_TFT_256256 * SCR_
YSIZE_TFT_256256))>>1 );
rLCDINTMSK|= (3);           // 屏蔽掉 LCD 中断
rLPCSEL &= (~7);           // 不使用 LPC3600
rTPAL=0;                   // 不使用临时调色板
```

其中 CLKVAL 为时钟参数，frame-Buffer-24BitTft256256 是系统在 SDRAM 为图片数据开辟的一块 non-cachable 缓存区。

从上面的设置可以得出关于系统的一些重要数据。首先，系统主频 FCLK=200 MHz，HCLK=1/2FCLK=100 MHz，则根据公式(3)可得出  $VCLK=100/[2\times(13+1)]=100/28$ ，约为 3.57 MHz；根据公式(4)可得出帧频约为 50 Hz。而且对于 LCD 控制器来说，如果控制帧频在 50 Hz 左右，则控制器最大可控制 1 024×1 024 的图片，且帧频越小，控制图片就越大，但是由于存储空间有限会导致可控图片数量也相应减少。

#### 4 图片格式的转换

从以太网下载的 BMP 图片已经被截取掉 54 字节的文件头，所以存入 FLASH 的数据都是图像数据。但以太网发送数据方式是先发送图片的最尾行，导致最终存入 FLASH 的数据头尾倒置。而且 LCD 读取和发送数据到接口是以 32 位(4 字节)为 1 个单位，但是从 FLASH 读出的数据是以字节为单位逐个排列的，所以需要在每像素之后插入 1 个空字节，也就是每 3 字节之后插入 1 个空字节。具体的操作和显示如图 4 所示。

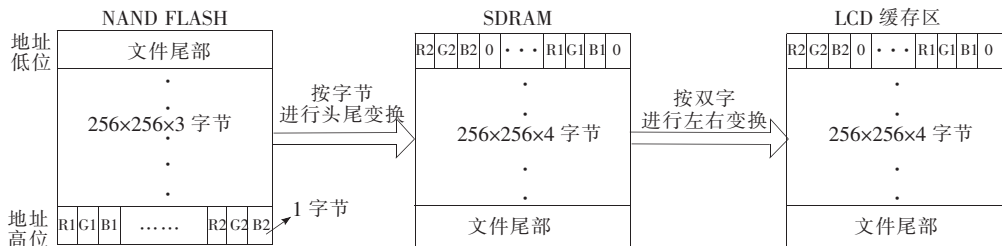


图 4 图片格式变换示意图

Fig. 4 Diagram of image format transformation

从图 4 中可以看出,转换步骤共分两步:第一步先是以 1 个字节为单位从存储区域找到最后 1 个字节开始转换,把它放置 SDRAM 存储区的第一位,并同时每隔 3 字节插入 1 个空字节,以此循环就成了第二个图形的格式,此时每一行的左边和右边被调换;第二步需要把图片的左右部分调换回来,此时以一个双字(4 字节)为单位,并按照图片的行列地址找到每一行的末尾双字,与每一行的首部调换。通过这两步转换,从缓存区读出数据才是正确的,至于数据格式 RGB 变成了 BGR,可以通过 LCD 控制器的寄存器设置改变输出高低位或者通过 FPGA 接受部分进行相应转换。

5 FPGA 接收数据模块<sup>[8]</sup>

ARM 通过 LCD 并行接口按照 24 位传输给 FPGA,此时需要对数据以及各个控制信号进行接收,并进行相应的转换。由于 FPGA 部分的硬件受限(主要来源于静态内存 SRAM 的主时钟和存储空间),最大可显示  $256\times 64$  的 LED 屏幕,为了更加切合大众需要,系统选用  $128\times 64$  大小的 LED 大屏进行显示。

根据 LCD 控制器的原理可以看出,从 ARM 传过来的信号在行同步和帧同步使能信号发出之后会有相应的时钟间隔才能出现有用的图像数据,由于我们是通过这两个同步信号来判定一帧或者一行是否开始,因此需根据在 ARM 模块定义的参数来判断数据在哪里开始,以免存入空数据到 SRAM。在程序中,通过接收到帧同步信号之后空出 VBPD 个行同步信号确定出开始行,接着从开始行处空出 HBPD 个像素时钟信号(VCLK),

之后得到的数据才是真正的图片数据。

$256\times 256$  像素大小的图片在 FPGA 部分被程序等量分割,变成  $128\times 64$  大小的图片,并靠目标板上的插针进行控制,并使用变量  $S[2:0]$  来量化插针的数据,分割示意图如图 5 所示,且也是通过相应的时钟和行同步信号空位来控制选择哪一部分的数据,除了中间的  $256\times 256$  像素的图片数据,周围的数据都为全 0。

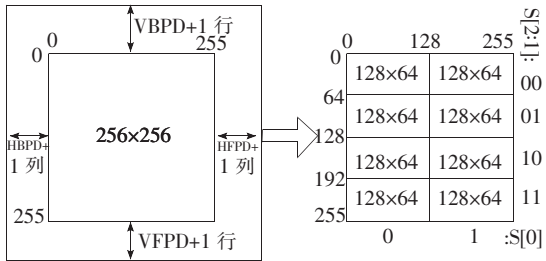


图 5 图像接收示意图  
Fig. 5 Schematic diagram of image receiving

数据正确接收之后便被存入到 SRAM 中进行帧缓存。系统中 2 片 SRAM 组成一组,组成对称的两个部分。这两部分按“乒乓原理”工作,当 FPGA 读取 X 体 RAM 中的数据时,同时向 Y 体 RAM 中写入数据,反过来 FPGA 写 X 体 RAM 时进行 Y 体 RAM 的读操作,这样便提高了 FPGA 处理数据的速度。FPGA 实现数据的接收、对双体 RAM 的控制以及将数据转换成适合 LED 屏幕驱动电路格式的数据。

6 脱机屏系统流程

该脱机屏控制系统主要用来脱机显示图片和

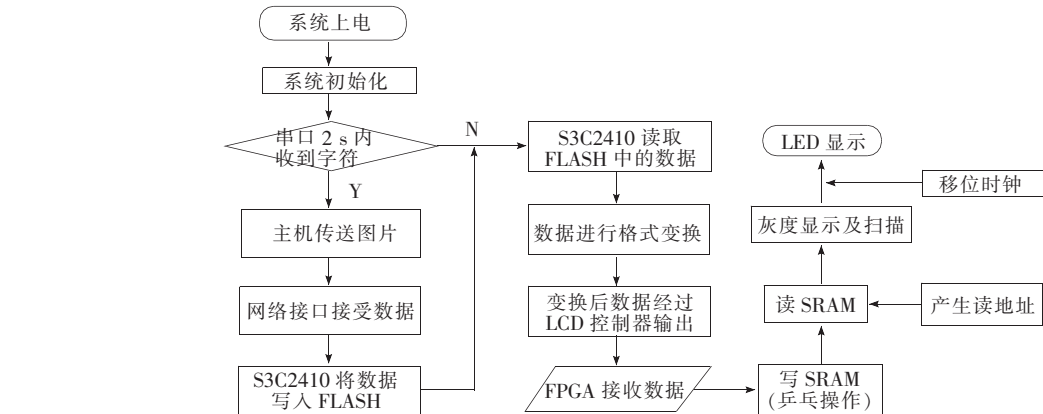


图 6 软件设计流程图  
Fig. 6 Flow chart of software design

动画,如果需要更新图片、动画等数据,则可以通过以太网下载更新数据。数据更新时需要将该系统通过串口和网口连接到主机。系统上电、初始化后,会在主机超级终端(DNW 软件)上提示 2 s 内输入一个字符。如果 2 s 内有字符输入,系统则会进入图片烧写程序,烧写完图片后系统便进入脱机显示过程;如果 2 s 内没有字符输入,系统便会直接进入脱机显示过程系统的启动流程,软件架构如图 6。

经验证,该设计方案显示效果良好,达到了各项设计指标的要求。

## 7 结 论

采用 ARM+FPGA 结合的硬件架构设计了 LED 脱机显示系统,利用 C 语言和汇编语言共同

完成 ARM 控制模块的初始化,图片的下载、存储和发送,并实现与上位机的通信。ARM 主频达到 200 MHz,通过对 LCD 控制器并行接口的灵活利用,实现了 ARM 与 FPGA 之间数据的并行传输,提高了系统的传输速率,增大了系统可控的图片大小。FPGA 控制模块利用 Verilog HDL 语言实现了数据的接受、缓存以及扫描显示,并对图片进行分割显示,能够适应不同的场合<sup>[9]</sup>。两个模块的相互结合最终实现了 256×256 大小图片和动画的清晰显示。若需要增大显示大小,可适当修改 ARM 相关参数,不需要重新编写程序,较为灵活。整个系统不同于其他脱机系统,降低了开发成本和难度,缩短了开发周期,既可用于小型脱机系统的显示,亦可作为 LED 大屏的演示系统,应用较广。

## 参 考 文 献:

- [1] 梁志明,李斌.基于 FPGA 的大屏幕全彩 LED 扫描控制器设计[J].液晶与显示,2007,22(4):477-481
- [2] 屠大维,吴仍茂,杨恒亮,等.LED 封装光学结构对光强分布的影响[J].光学精密工程,2008,16(5):832-838.
- [3] 陈科,孟文,肖世德,等.基于 ARM S3C44B0X 的 LED 显示屏设计[J].液晶与显示,2004,19(6):483-486.
- [4] 王成儒,朱振涛.基于 S3C2410 的 LCD 显示系统设计[J].仪器仪表学报,2006,27(6):2547-2548.
- [5] 万永波,张根宝,田泽,等.基于 ARM 的 LCD 控制器的配置与编程应用[J].计算机工程与设计,2007,28(5):1196-1198.
- [6] 童庆平,刘笃仁.基于 ARM 芯片 S3C2410 的 TFT-LCD 驱动方法[J].电子元器件应用,2007,9(3):20-22.
- [7] 彭良智,王晓春,高波,等.LCD 控制器驱动的 24 位 TFT 真彩屏接口设计[J].单片机与嵌入式系统应用,2006,7(6):34-35,43.
- [8] 陈炳权.基于 ARM+FPGA 的大屏幕显示器控制系统设计[J].集成电路设计与开发,2008,33(2):171-175.
- [9] 何斌.FPGA 的 EDA 设计方法[J].光学精密工程,1995,3(6):113-116.